



PATENT ABSTRACTS OF JAPAN

(11) Publication number: 05327062 A

(43) Date of publication of application: 10.12.93

(51) Int. Cl.

H01L 49/00

H01L 29/788

H01L 29/792

(21) Application number: 04130920

(22) Date of filing: 22.05.92

(71) Applicant: SHARP CORP

 (72) Inventor:
 ITO YASUYUKI
 HAMADA KAZUYUKI
 USHIKUBO MAHO

(54) FERROELECTRIC STORAGE ELEMENT

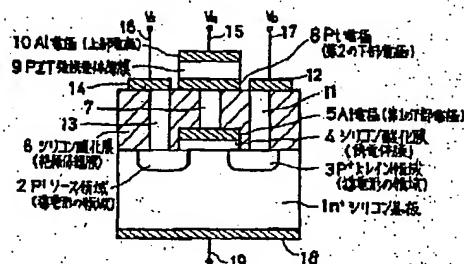
(57) Abstract:

PURPOSE: To provide an element which assures stability of movement, remarkable yield improvement, and low cost by preventing diffusion of impurities from a ferroelectric thin film to the surface of a semiconductor.

CONSTITUTION: Two regions 2, 3, which have conductive form opposite to that of a substrate 1, are formed with a gap in a position sufficiently close to the surface layer of the substrate composed of bulk semiconductor materials having conductive form opposite to that of two regions. A dielectric film 4 is formed on the surface of the substrate 1 in such way that the dielectric film bridges over these two regions 2, 3. Then, a first lower-part electrode 5 is formed on the dielectric film 4, and an insulating protection film 6 is formed in such way that the film covers the substrate 1, the conductive form regions 2, 3, the dielectric film 4, and the first lower-part electrode 5. Then a second lower-part electrode 8 electrically contacted with the first lower part electrode 5 is formed on the first lower-part electrode 5 through the insulating protection film 6, a ferroelectric thin film 9 is formed on the second lower-part electrode 8, and an upper-part

electrode 10 is formed on the ferroelectric thin film 9. As a result, a ferroelectric storage element is obtained.

COPYRIGHT: (C)1993,JPO&Japio



特開平5-327062

(43) 公開日 平成5年(1993)12月10日

(51) Int. Cl.⁵ 識別記号 庁内整理番号
 H 0 1 L 49/00 Z 8728-4M
 29/788
 29/792

F I 技術表示箇所

H 0 1 L 29/78 37.1

審査請求 未請求 請求項の数 1 (全 4 頁)

(21) 出願番号 特願平4-130920

(22) 出願日 平成4年(1992)5月22日

(71) 出願人 000005049

シャープ株式会社
大阪府大阪市阿倍野区長池町22番22号(72) 発明者 伊藤 康幸
大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内(72) 発明者 浜田 和之
大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内(72) 発明者 牛久保 真帆
大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

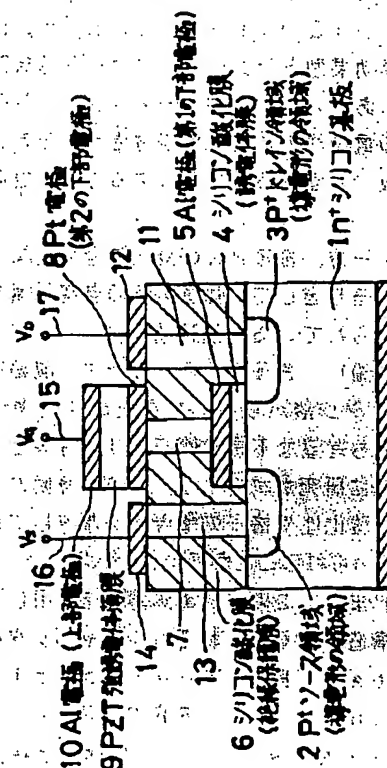
(74) 代理人 弁理士 野河 信太郎

(54) 【発明の名称】 強誘電体記憶素子

(57) 【要約】

【目的】 強誘電体薄膜から半導体表面への不純物の拡散を防ぎ、素子の動作の安定化、素子の歩留りの著しい向上及び安価な素子を提供すること。

【構成】 一方の導電形のパルク半導体材料からなる基板1の表面層に十分に接近させた間隔をおいて形成された前記基板とは反対の導電形の2つの領域2及び3と、これら2つの領域をまたぐように前記基板の表面に誘電体膜4と、該誘電体膜4上に第1の下部電極5が形成されてなり、前記基板1、導電形領域2及び3、誘電体膜4及び第1の下部電極5とを被うように絶縁保護膜6を形成し、前記第1の下部電極5上に絶縁保護膜6を通して、前記第1の下部電極5と電気的に接触させた第2の下部電極8を前記絶縁保護膜6上に形成し、前記第2の下部電極8上に強誘電体薄膜9を形成し、該強誘電体薄膜9上に上部電極10を形成することによって強誘電体記憶素子を形成する。



【特許請求の範囲】

【請求項1】一方の導電形のパルク半導体材料からなる基板と、該基板の表面層に形成された、2つの独立な前記基板とは反対の導電形の領域と、これら2つの領域をまたぐように前記基板の表面に形成された誘電体膜と、該誘電体膜上に形成された第1の下部電極と、前記導電形領域及び前記誘電体膜及び前記第1の下部電極を被うように形成された絶縁保護膜と、前記第1の下部電極上の前記絶縁保護膜に形成された窓を通して前記第1の下部電極と電気的に接触されて前記絶縁保護膜上に形成された第2の下部電極と、該第2の下部電極上に形成された強誘電体薄膜と、該強誘電体薄膜上に形成された上部電極とからなることを特徴とする強誘電体記憶素子。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は強誘電体記憶素子に関する。さらに詳しくは強誘電体薄膜の自発分極による静電誘導を介して2つの導電形領域間の電気抵抗を変化させる強誘電体記憶素子に関する。

【0002】

【従来の技術】従来、コンピュータ等に利用される不揮発性の半導体記憶素子としては、ROM (Read Only Memory)、PROM (Programmable ROM)、EPROM (Erasable PROM)、EEPROM (Electrically EPROM) 等があり、特にEEPROMは電気的に記憶内容を書き換えることができるので有望視されている。

【0003】このEEPROMにおいては、MIS (Metal-Insulator-Semiconductor) 電界効果型トランジスタのゲート絶縁膜中のトラップ領域、あるいは、フローティングゲートをシリコン基板からの電荷注入によって帯電させ、その静電誘導によって基板の表面電導度を変調する方法が知られている。

【0004】一方、EEPROMとは全く異なった方法の不揮発性メモリとして、強誘電体の自発分極を利用した方法も考えられている。強誘電体は、PZT (チタン酸ジルコン酸鉛)、PbTiO₃ (チタン酸鉛)、BaTiO₃ (チタン酸バリウム) などの酸化物が主であり、現在、最も有望な不揮発性メモリ用材料としてもPZTが精力的に研究されている。PZT薄膜の下地電極としては、耐酸化性や格子の整合性を考慮してPt (白金) 電極が用いられることが多い。

【0005】また、この強誘電体薄膜を利用した方法には2通りの構造があり、それぞれ、キャパシタ構造、MFS (Metal-Ferroelectric-Semiconductor)-FET (Field-Effect-Transistor) 構造と呼ばれてい

る。キャパシタ構造は、強誘電体薄膜を電極で挟み、その両端に導電性電極を接続して、強誘電体の自発分極の分極反転による反転電流の有無を検出して情報の読み出しをするものである。一方、MFS-FET構造は、MIS-FETのゲート絶縁膜を強誘電体薄膜としたもので、強誘電体の自発分極の向き、大きさに応じてその自発分極を補償するように半導体表面に誘起される電荷によって半導体表面の電導度に変調されることを利用して情報の読み出しをするものである。

【0006】

【発明が解決しようとする課題】しかしながら、電子のトンネル効果を利用したような素子においては、シリコン基板からの電荷注入の際に大きな電界が必要であり、SiO₂ 絶縁膜中にトラップが発生して書き換え回数が制限されるという問題があった。また、キャパシタ構造ではPt電極などの上に強誘電体薄膜を形成するため、比較的良好な膜質が得られやすく、現在、製品化に向けて精力的に開発が進められているが、読み出し時に蓄積された情報を破壊してしまうので読み出し後にもう一度情報を書き直さなければならないという欠点があった。MFS-FET構造では読み出し時に情報を破壊しない非破壊読み出しが可能であるが、シリコン半導体上に直接強誘電体薄膜を形成するため、界面単位密度が定まらにくかったり、半導体表面に酸化膜などが形成されるなどという問題も起こり、安定な素子作製が困難であるという欠点があった。

【0007】このような問題点に対して、上記MFS-FET構造において下部電極と半導体表面との間に誘電体薄膜を形成した構造が提案されている (特開昭49-131646)。この構造によれば、上記下部電極はシリコン基板により電気的に絶縁された浮遊ゲートとして働いている。ところがこの構造では、強誘電体薄膜とシリコン基板間に電極及び誘電体薄膜があつたとしてもこれらは非常に薄いので、特にPZTなどの鉛系強誘電体薄膜ではPbやZr等の金属原料の純度が悪いために強誘電体薄膜から半導体基板へのNa等の不純物による汚染が起こり、半導体の動作を不安定にするという問題があった。

【0008】

【課題を解決するための手段及び作用】かくしてこの発明によれば、一方の導電形のパルク半導体材料からなる基板と、該基板の表面層に形成された2つの独立な前記基板とは反対の導電形の領域と、これら2つの領域をまたぐように前記基板の表面に形成された誘電体膜と、該誘電体膜上に形成された第1の下部電極と、前記導電形領域及び前記誘電体膜及び前記第1の下部電極を被うように形成された絶縁保護膜と、前記第1の下部電極上の前記絶縁保護膜に形成された窓を通して前記第1の下部電極と電気的に接触されて前記絶縁保護膜上に形成された第2の下部電極と、該第2の下部電極上に形成され

た強誘電体薄膜と、該強誘電体薄膜上に形成された上部電極とからなることを特徴とする強誘電体記憶素子が提供される。

【0009】本発明の強誘電体記憶素子を図1にしたがって説明する。使用される基板としては、半導体材料であれば特に限定されるものではないがシリコン基板等が好ましい。更にn型又はp型の導電形の基板の表面層に、基板とは反対の導電形の2つの領域（例えばソース領域2及びドレイン領域3）を形成するための注入イオンとして、p型の導電領域とする場合例えばホウ素等が挙げられ、n型の導電層とする場合はP、As等を4.0~8.0 KeV、 $1 \times 10^{13} \sim 1 \times 10^{15}$ ions/cm²程度の濃度でイオン注入したのち、例えば非酸化性雰囲気中600~1300℃で5分~1時間程度アニール処理することによって形成することができる。

【0010】また、ソース領域2からドレイン領域3にわたって形成される誘電体膜4はSiO₂、Si₃N₄等を用いて形成することができ、好ましくはSiO₂膜である。このSiO₂膜は公知の方法、例えば1000~1200℃の熱酸化、あるいはCVD法、RFスパッタによって形成することができ、その膜厚は0.1~10 μm程度である。

【0011】次に、誘電体膜4上に第1の下部電極5を形成する。この第1の下部電極5に使用される材料としては、例えばAl、Pt等、通常電極として用いられる金属を用いることができ、これらの金属は公知の方法、例えば、金属ターゲットを用いるスパッタリング法、CVD法あるいは蒸着法等によって形成することができ、それらの膜厚は0.1~10 μm程度が好ましい。

【0012】更に、上記誘電体膜4及び第1の下部電極5上には絶縁保護膜6が形成されており、この材料としてはSiO₂、Si₃N₄等を用いることができる。好ましくはSiO₂膜である。この絶縁保護膜6の膜厚は、強誘電体薄膜9からの不純物による汚染を防止可能な膜厚であり0.3~20 μm程度の膜厚が好ましい。次に、この絶縁保護膜6には公知の方法、例えばHFを用いるウェットエッチング法によってソース領域2、ドレイン領域3及び第1の下部電極5上に窓が形成され、更に電氣的に接触させるために配線層（13、11及び7）が形成される。

【0013】第1の下部電極5に接続された配線層7上に第2の下部電極8を形成し、この第2の下部電極8上に強誘電体薄膜9を形成し、次に強誘電体薄膜9上に上部電極10を形成する。この第2の下部電極8及び上部電極10に使用される材料及び形成方法は第1の下部電極5と同様であり、その膜厚はそれぞれ0.1~10 μm及び0.1~10 μm程度が好ましい。

【0014】また、第2の下部電極8と上部電極10の間に形成される強誘電体膜9としてはチタン酸ジルコン酸鉛（PZT）、PLZT等が挙げられ、この強誘電体

膜9は公知の方法、例えばPZTを用いる場合、MOGVD法によってPb（C₂H₅）、Zr（DPM）₄及びTi（C₂H₅）₄等を用いて膜厚0.1~10 μmで形成することが好ましい。

【0015】ソース領域2及びドレイン領域3の配線層と基板の裏面にはそれぞれオーミック電極（14、12及び18）が形成される。オーミック電極（14、12及び18）及び上部電極10には電圧印加手段としてリード線（16、17、19及び19）が接続されている。更にリード線17、16及び15にはそれぞれ電圧V₀、V_s及びV_dが印加されるようになっている。

【0016】この素子における動作は以下のようである。すなわち、V_dに駆動電圧としてV_{cc}のパルスを印加すると、PZT薄膜9は下向きに分極してこの静電誘導のためにシリコン酸化膜4も誘電分極し、このためソース2とドレイン3の間のシリコン基板1の表面にホールを誘起する。この誘起されたホールによってソース2とドレイン3の間にチャネルが形成され、V₀にV_{cc}を印加するとドレイン電流I_dが流れ、素子は“ON”状態となる。

【0017】次に、V_dに+V_{cc}のパルスを印加すると、PZT薄膜9は上向きに分極してこの静電誘導のために誘電体膜4も誘電分極し、このためソース2とドレイン3の間のシリコン基板1の表面にチャネルは形成されない。V₀にV_{cc}を印加してもドレイン電流I_dは流れず、素子は“OFF”状態となる。この誘電体膜4も誘電分極はPZT薄膜9の分極が保持される限り保たれるので非破壊で読み出しの可能な不揮発性メモリとして動作させることができるのである。また、この素子構造によれば、1素子で1ビットが記憶できるので高集積化が可能である。

【0018】

【実施例】本発明の強誘電体記憶素子を次のようにして作製した。裏面にAl電極14をスパッタ法によって形成したn型のシリコン基板1の表面に、150 KeV、 1×10^{16} ions/cm²でAsを注入し1000℃でアニール処理することによってp型のソース領域2とドレイン領域3を間隔5.0 μm、幅1.0 μmの大きさで形成した。

【0019】次に上記ソース領域2とドレイン領域3の間のシリコン基板1の表面に、誘電体膜として膜厚100 nmのシリコン酸化膜4を1000℃の熱酸化法によって形成し、このシリコン酸化膜4上に膜厚100 nmのAl電極5をスパッタ法により形成し、更に上記基板の上に絶縁保護膜として膜厚1 μmでシリコン酸化膜6を300~400℃のCVD法によって形成した。このとき使用する原料ガスとしてはSiH₄を使用した。

【0020】このシリコン酸化膜6を、反応性イオンエッチングによってAl電極5、ソース領域2及びドレイン領域3上に窓を形成する。更にこの窓には導通させる

ために、配線層であるA1線7、11及び13を蒸着法で形成した。次にA1線7上にスパッタ法により膜厚100nmでPt電極8を形成し、このPt電極8上にPb(C₂H₅)₄、Zr(DBM)及びTi(POC₂H₅)₃を用いてMOCVD法によってPZT(Pb(Zr_{0.5}Ti_{0.5})O₃、チタン酸ジルコン酸鉛)薄膜9を膜厚300nmで形成した。

【0021】次にスパッタ法によって上部電極として、A1電極を膜厚0.5μmで形成した。最上の上A1電極10の面積は2μm×10μmである。A1電極10にはリード線15が引き出され、電圧V₀を印加できるようになっている。A1線11及び13上にはそれぞれオーミック電極であるA1電極12及び14をスパッタ法によって形成し、これらのA1電極12及び14からもリード線17及び16が引き出され、それぞれに電圧V₁及びV₂を印加できるようになっている。なお、18は基板に対するオーミック電極であり、19はこのオーミック電極から引き出されたリード線である。このようにして図1の形状を得ることができる。

【0022】図2は本発明の実施例としての強誘電体記憶素子を“ON”状態にしたときと“OFF”状態にしたときのドレイン電圧V₀とドレイン電流I_Dとの関係を示した特性曲線である。このように“ON”状態では、電界効果型トランジスタ特有のドレイン電流が流れ、“OFF”状態ではドレイン電流は流れない。この特性は非常に安定しており、素子としての安定な動作を示している。

【0023】なお、上記の実施例において、n型のシリコン基板1の代わりにp型のシリコン基板を用いることが可能であり、その場合、p⁺領域のソース2とドレイン3はn⁺領域となる。

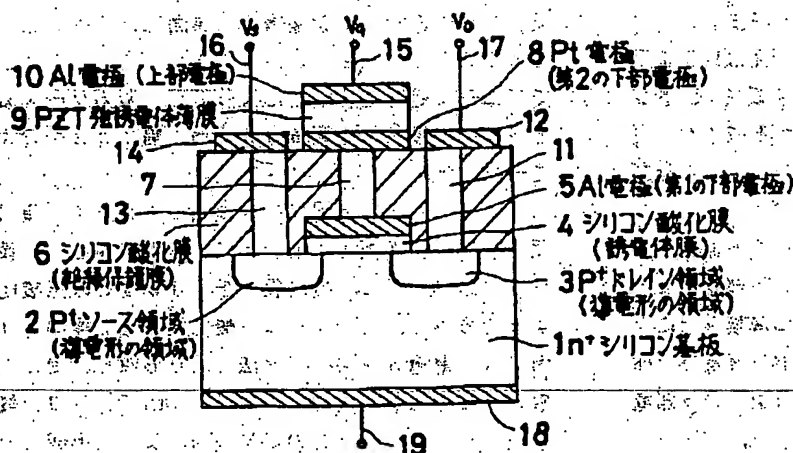
【0024】次に、本発明による強誘電体記憶素子に於いて、強誘電体薄膜から半導体表面への不純物の拡散を防ぐことが出来るので素子の動作が安定となり、素子の劣化を著しく向上させて安定な素子を提供可能となる。

【図面の簡単な説明】
【図1】本発明の強誘電体記憶素子の概略断面図である。
【図2】本発明の強誘電体記憶素子のドレイン電圧V₀とドレイン電流I_Dの関係を示すグラフである。

【符号の説明】

- 1 n型シリコン基板
- 2 p⁺ソース領域(導電形の領域)
- 3 p⁺ドレイン領域(導電形の領域)
- 4 シリコン酸化膜(誘電体膜)
- 5 A1電極(第1の下部電極)
- 6 シリコン酸化膜(絶縁保護膜)
- 7 A1線
- 8 Pt電極(第2の下部電極)
- 9 PZT強誘電体薄膜
- 10 A1電極(上部電極)
- 11 A1線
- 12 A1電極(オーミック電極)
- 13 A1線
- 14 A1電極(オーミック電極)
- 15 リード線
- 16 リード線
- 17 リード線
- 18 基板のオーミック電極
- 19 リード線

【図1】



【図2】

